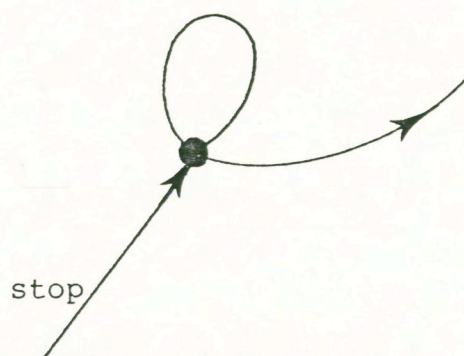


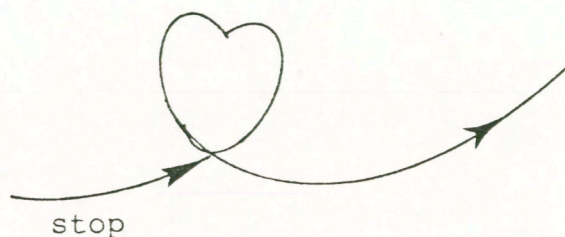
Chapitre 9

TOURNE ORDINATEUR, TOURNE !

Un automate des plus simples est le pétale à sommet noir, doté d'une flèche de sortie et d'un contrôle d'arrêt, nommé stop

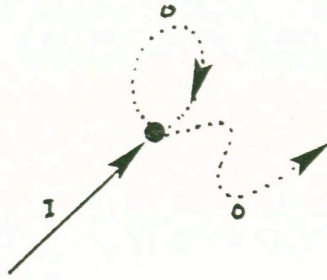


Par oubli de son graphe interne, ce pétale noir se mue en coeur battant,



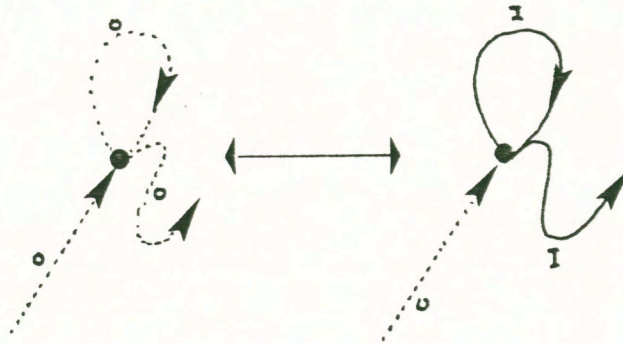
sommet, en forme de coeur, à contrôle stop et une seule flèche de sortie.

Sous contrôle stop allumé, pétale et sortie



restent constamment bleus.

Sous stop éteint, phases bleues et phases rouges alternent.



Toutes phases bleues de même durée,

toutes phases rouges de même durée,

durée bleue et durée rouge peut-être inégales,

le coeur battant émet un courant informatif alterné,

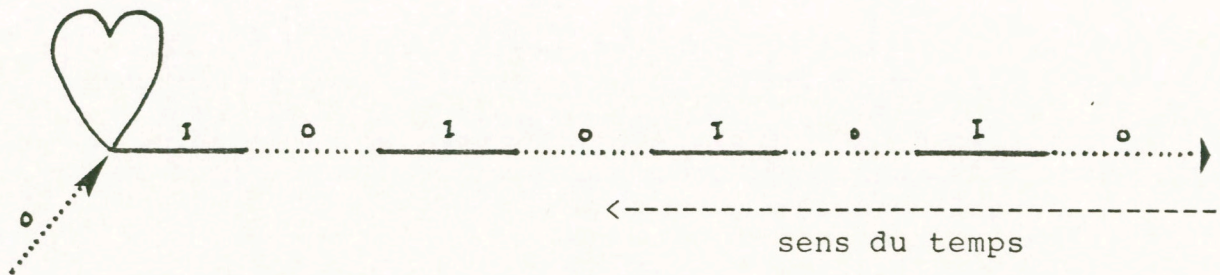
intuitivement représentable par un cordon bicolore,

émis à vitesse constante,

à segments bleus de même longueur,

à segments rouges de même longueur.

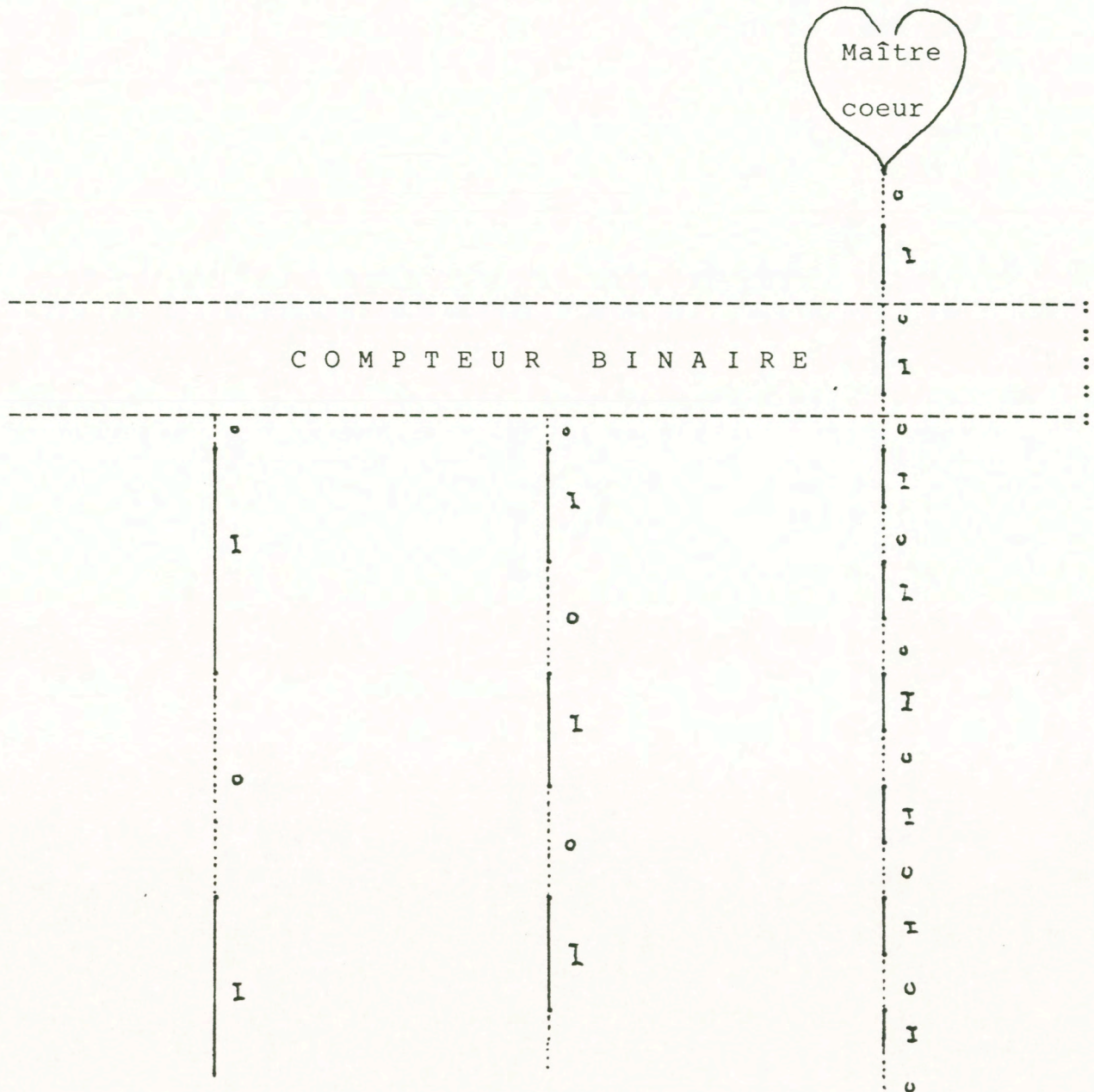
longueur bleue et longueur rouge peut-être différentes.



Pour ériger un coeur battant en horloge,
 il convient de le doter d'un compteur à m bits
 qui, au fur et à mesure des battements,
 égrène la litanie des naturels binaires à m bits.

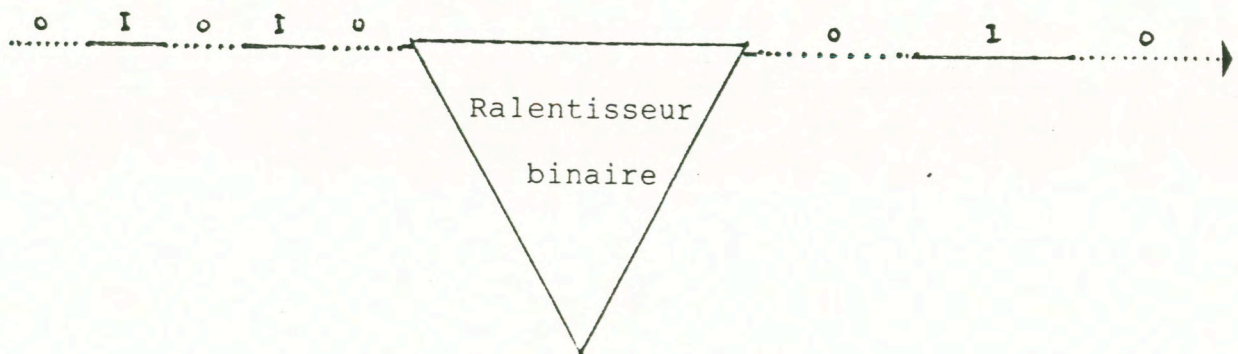
Un tel compteur binaire sera périodique,
 comme les cadrans analogiques des horloges traditionnelles,
 et les compteurs des montres digitales.

En ce compteur binaire en activité



le cordon des unités est celui du coeur à ériger en horloge.
 et chaque autre cordon change de couleur quand et seulement quand
 son voisin de droite passe de rouge à bleu.

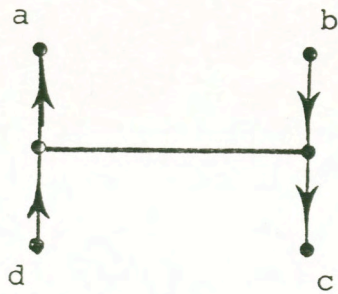
Cheville ouvrière du compteur binaire,
 le ralentisseur binaire
 est un graphe boolien
 à une seule flèche d'entrée,
 et une seule flèche de sortie
dont le changement de couleur est exclusivement causé
 par le passage de l'entrée de rouge à bleu.



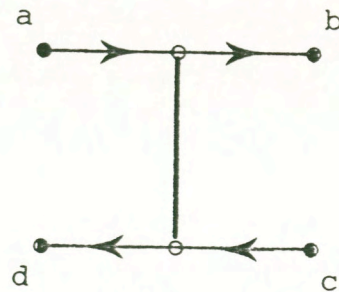
Le cordon fictif dont le bicoloriage est traité
 par le ralentisseur binaire qu'il traverse
 peut être supposé animé d'un mouvement uniforme,
 en une discrète euphorie, bien éloignée de tout souci des délais
 dès lors, ipso facto, supposés très brefs,
 au regard des durées des phases d'entrée bleues et rouges.

Couleur de sortie non fonction de la couleur d'entrée,
 le ralentisseur binaire n'est pas sommet boolien.

L'organe central du ralentisseur binaire annoncé est constitué par deux flipflops noirs centrosymétriques, dotés chacun de deux entrées et de deux sorties



Flipflop horizontal

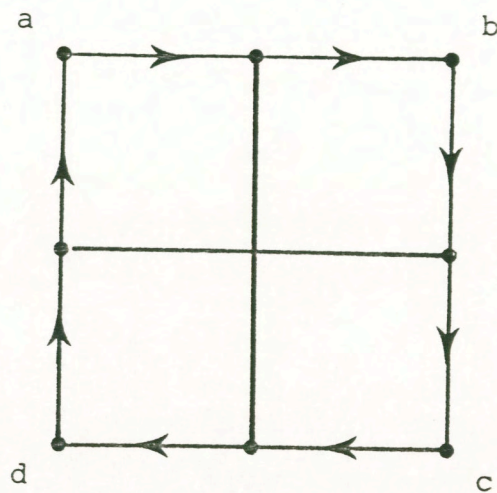


Flipflop vertical

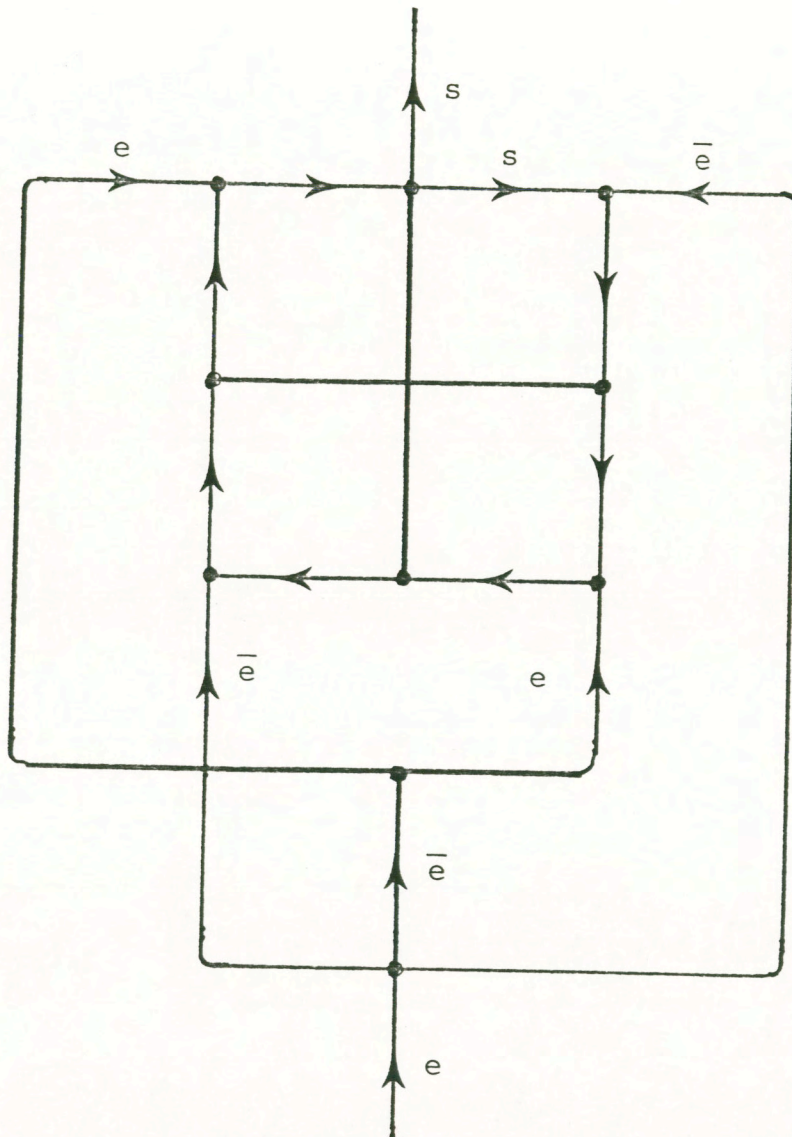
où le défaut de second sommet des 8 sensorielles et commandes est corrigé par l'action des quatre sommets noirs nouveaux

a b c d

qui soudent les deux flipflops en cette pièce d'un seul tenant



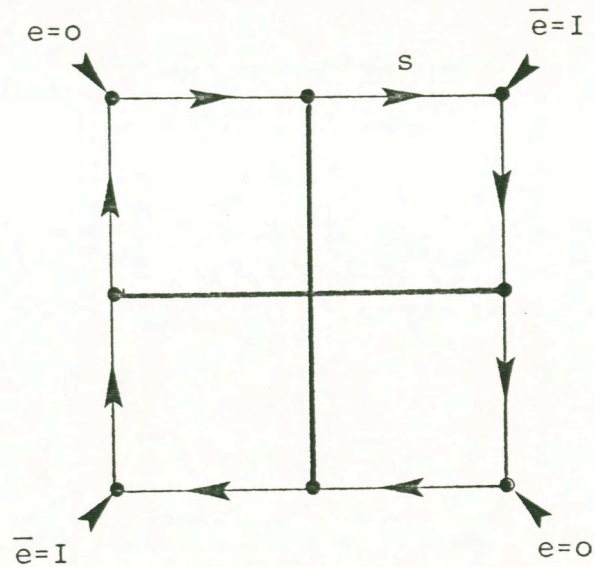
La flèche sensorielle de sortie \underline{s} se place
au sommet supérieur du flipflop vertical
et le montage noir de ralentisseur binaire s'achève
par l'installation d'une entrée en forme d'arbre à double ramure.



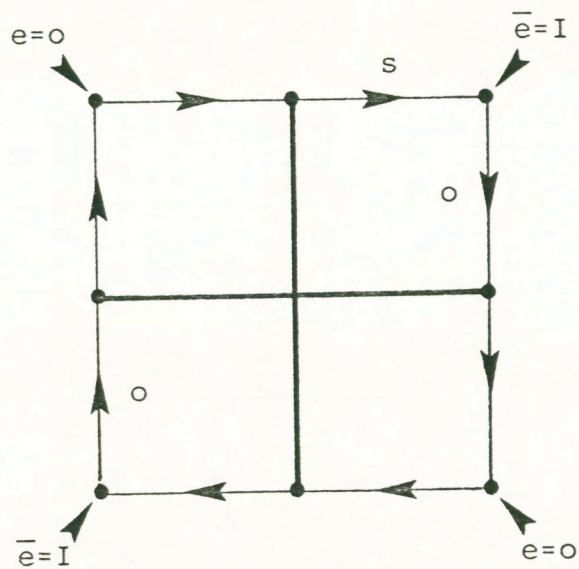
R A L E N T I S S E U R B I N A I R E

L'adéquate initialisation de mise à zéro

L'entrée nulle $e = 0$ imposée par la mise à zéro $se = 00$
portée sur ce dessin

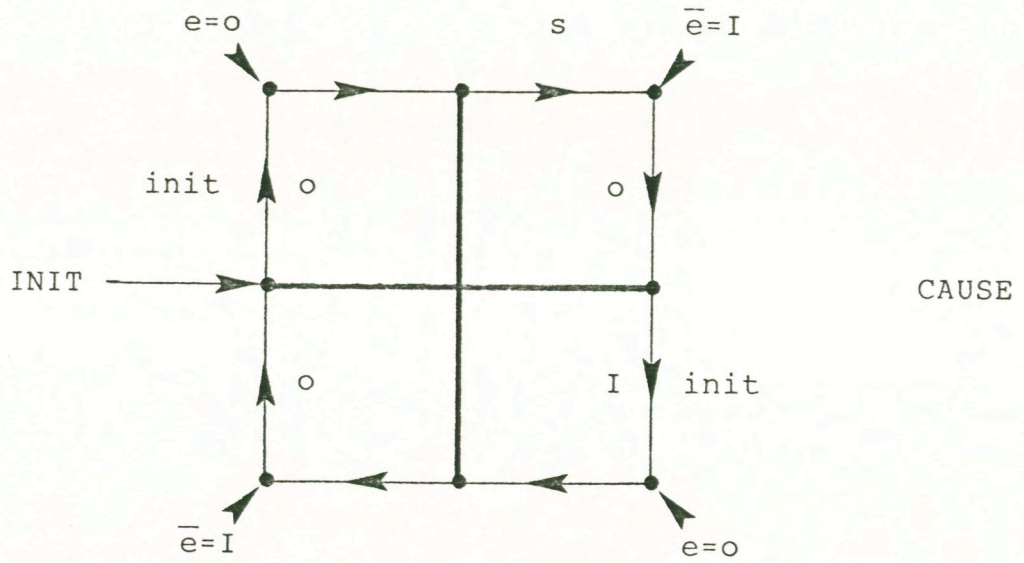


met le flipflop horizontal en état de mémorisation

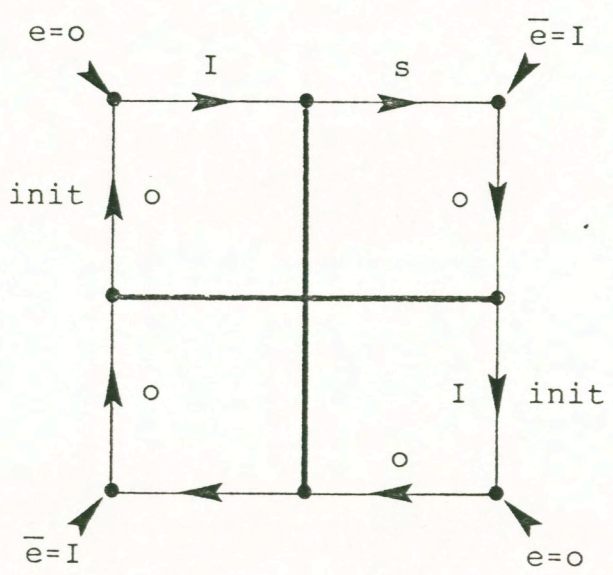


propice à initialisation
par passage de la flèche d'initialisation INIT
successsivement à rouge et à bleu,

provoquant le coloriage adéquat des flèches init

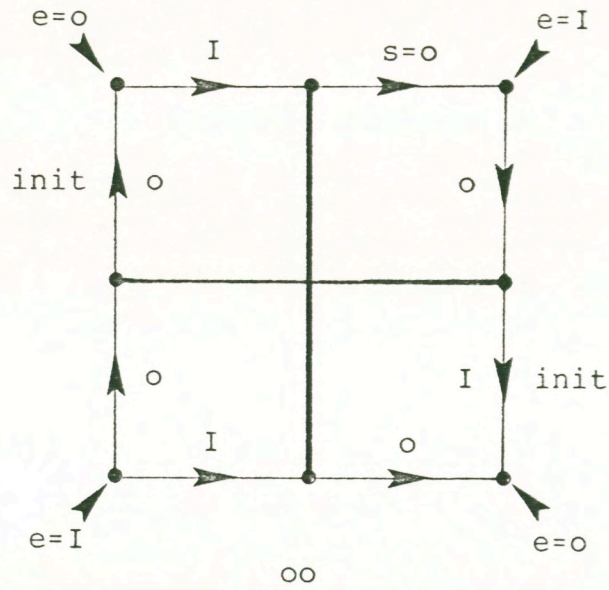


Ce coloriage, nommé CAUSE, entraîne



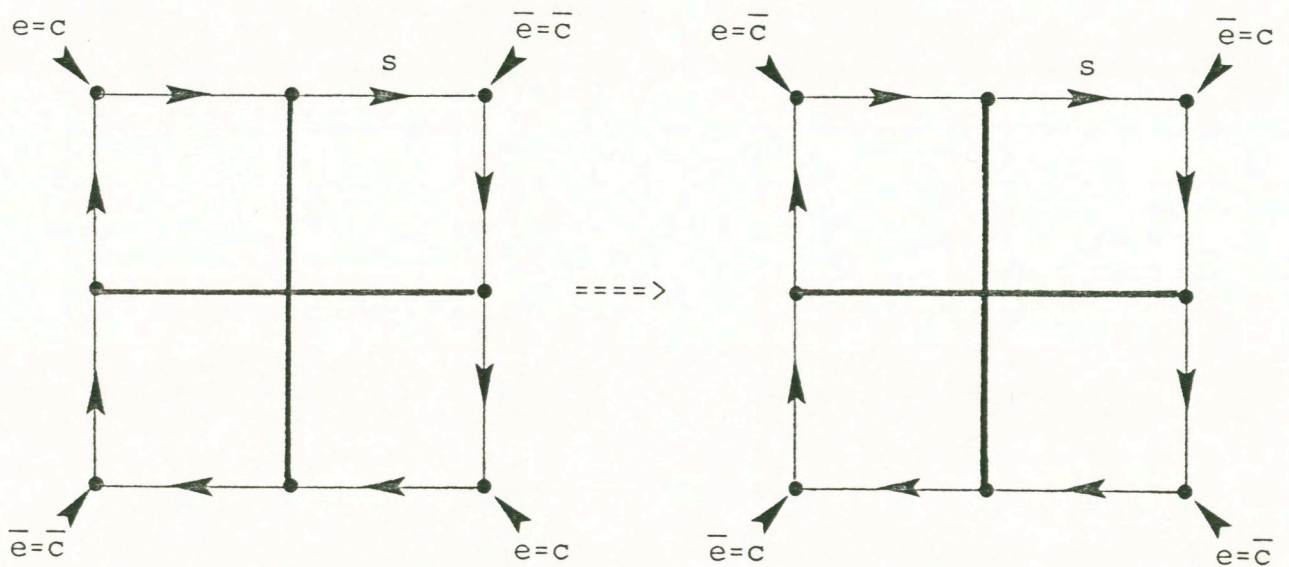
Et l'entrée bicolore du flipflop vertical s'inversant à la sortie,
 produit l'initialisation à zéro promise,
 et brièvement notée

oo



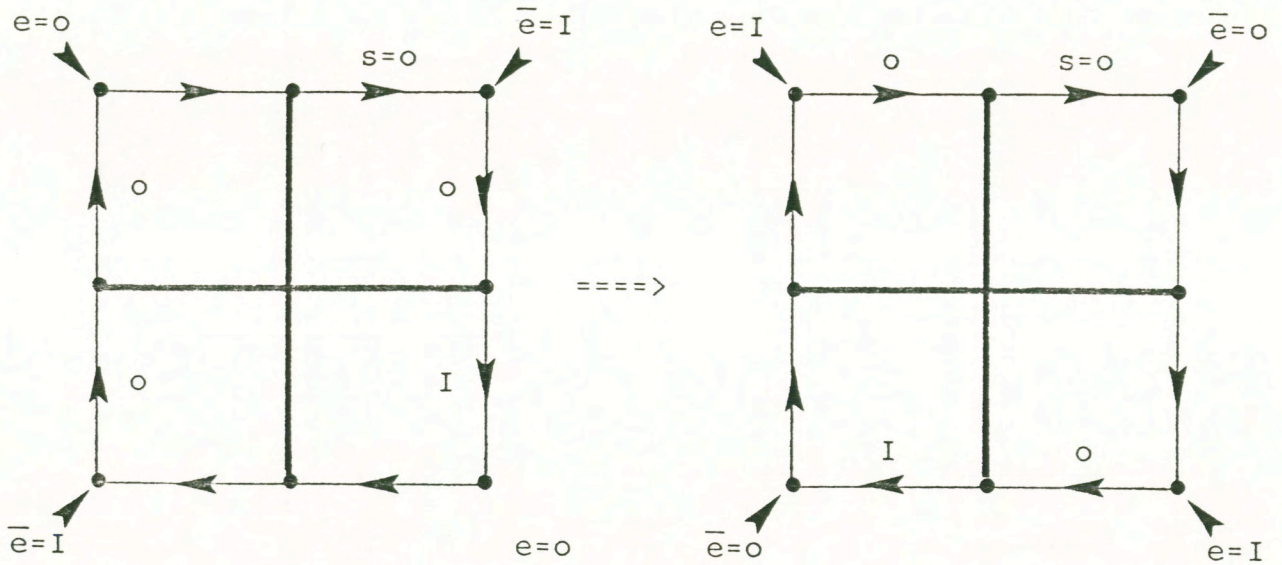
Tout changement de couleur de l'entrée générale
du ralentisseur binaire

se traduit par un quart de tour d'horloge
 du quadruple coloriage d'entrée de son élagué.



A partir de l'état stable oo du ralentisseur binaire
 le passage de l'entrée générale e de o à I
 met le flipflop vertical en état de mémorisation
 (sans affecter ses sorties !)

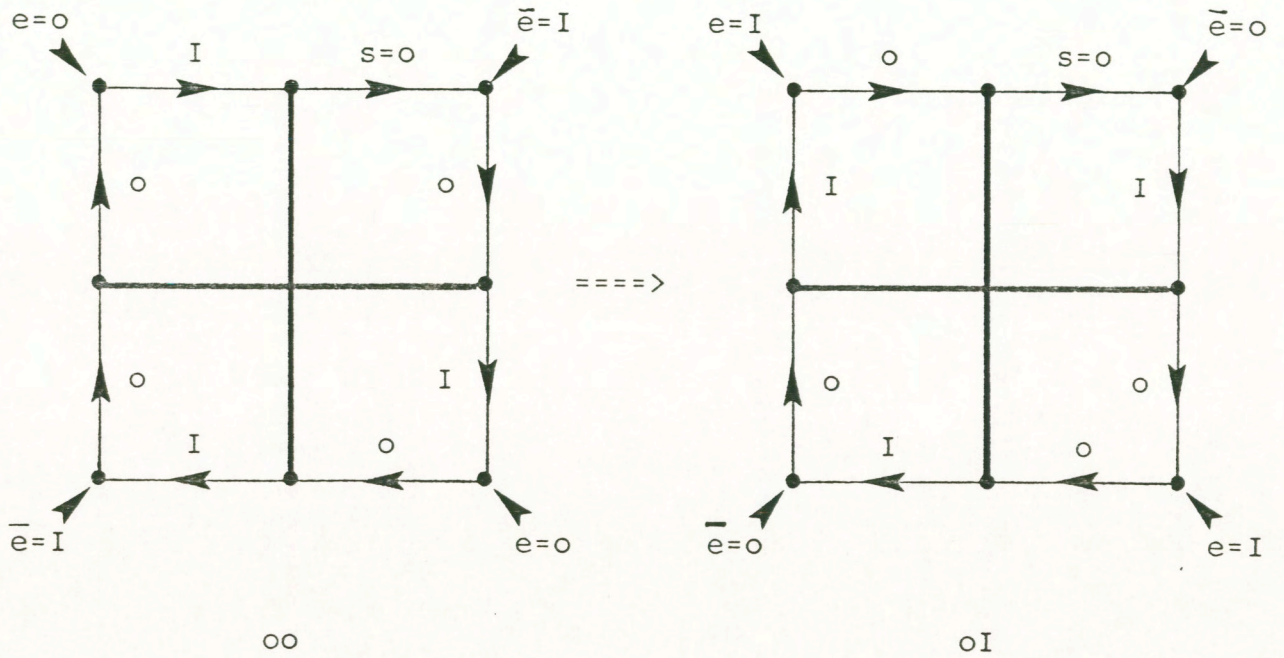
provoquant la rotation d'un quart de tour de montre de la CAUSE :



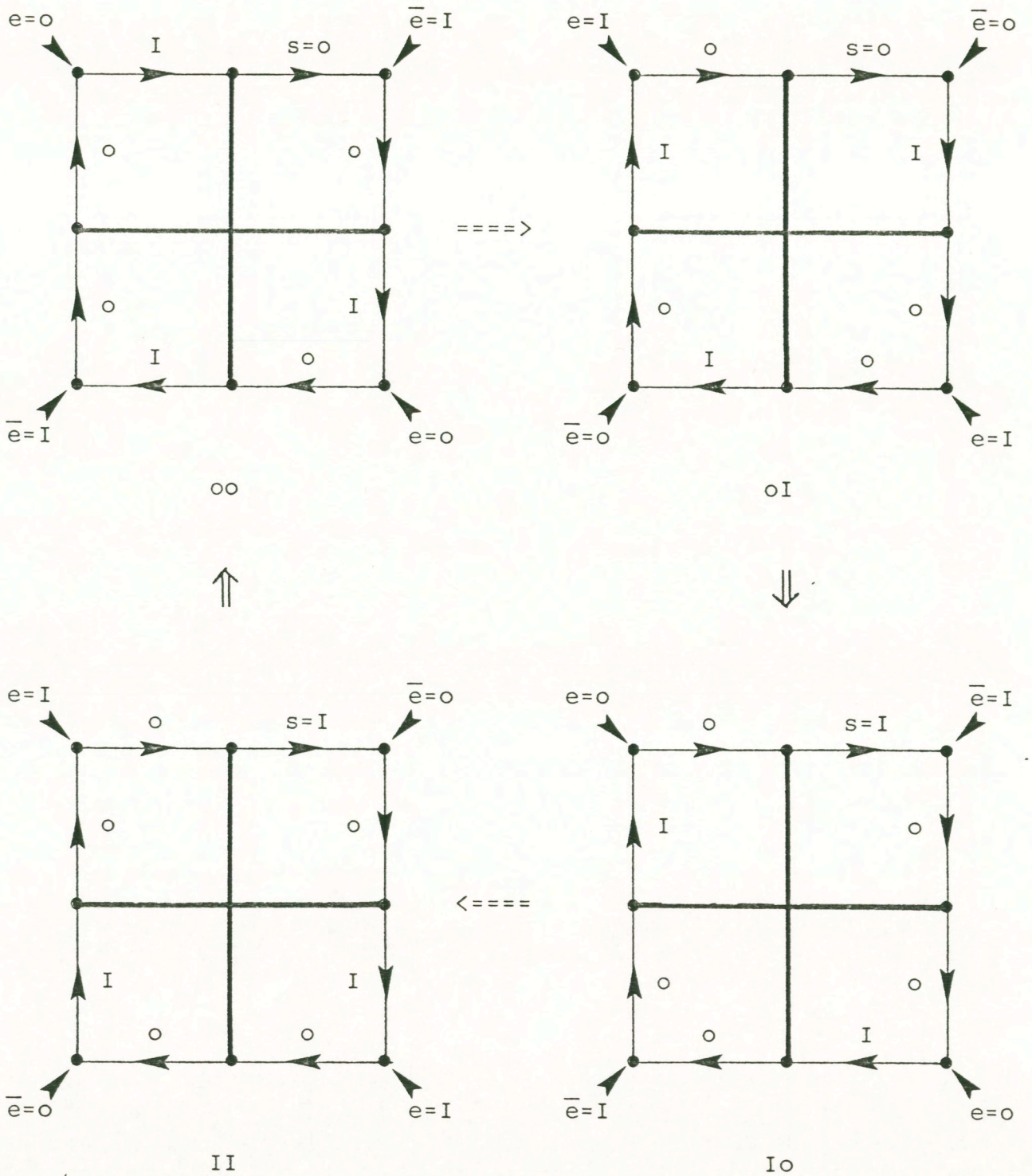
et donc aussi de la cascade de ses conséquences.

Ainsi:

l'état stable noté oo se rote en l'état stable noté oI



Le procédé s'itère de quart de tour en quart de tour :



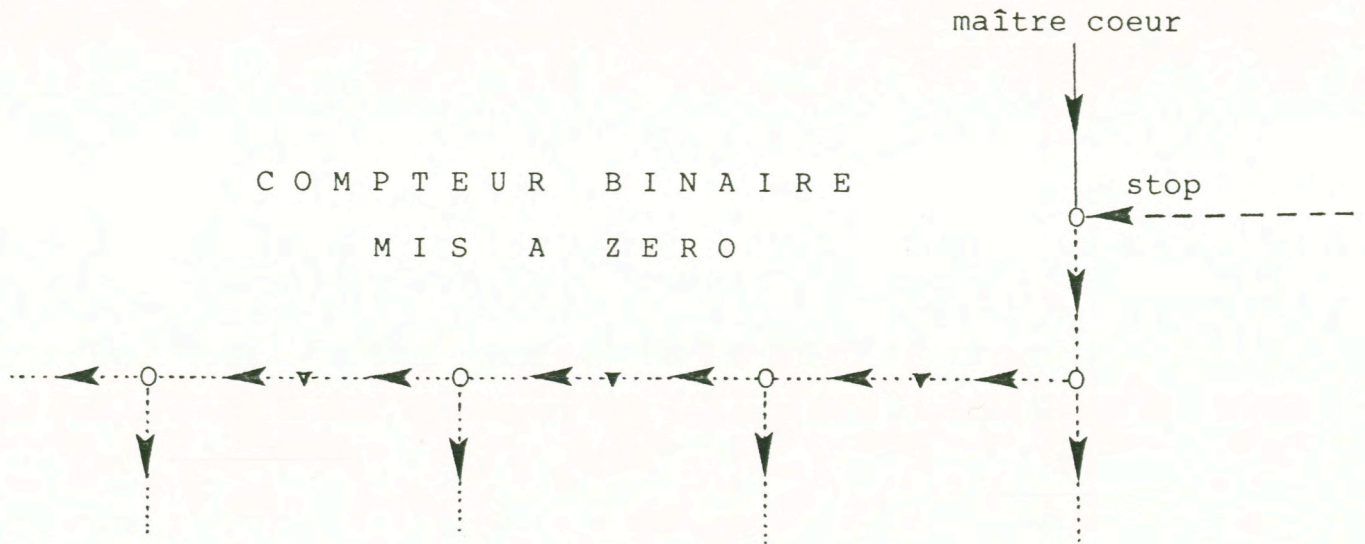
Ce qui achève la preuve du théorème 10.

Disposant de ralentisseurs binaires stylisés



dûment initialisés à zéro,

le montage du compteur binaire branché mis à zéro suit aisément :



Passé stop de rouge à bleu,

et le compteur entonne la ritournelle naturelle binaire rêvée;

retourne stop à rouge,

et le compteur s'arête

sur le présent ou plus prochain naturel binaire pair;

repasse stop à bleu,

et la ritournelle reprend là où elle s'était arrêtée.

Stop étant mis au rouge

Pour reprendre la ritournelle en son début tout nul :

remettre le compteur à zéro, c'est-à-dire

dûment initialiser à zéro tous ses ralentisseurs binaires,

une tâche rapidement expédiée par un montage aisé,

passé sous silence ici.

```

:-----:
:       :
:   Tourne   :
:       :
:   Programme :
:       :
:   Tourne   :
:       :
:-----:

```

Voici un programme, c'est-à-dire une suite finie d'instructions commandant l'exécution de certaines tâches.

La situation se digitalise et les idées se fixent en numérotant les instructions du programme dans l'ordre souhaité de leur exécution au moyen des naturels binaires à n bits, et en codant les tâches envisagées au moyen des naturels binaires à m bits, l'une des tâches pouvant consister en ne rien faire du tout.

Dans le cadre d'un tel codage, le programme apparait donc comme une suite de 2^n naturels binaires à m bits.

Pour l'exécution des tâches envisagées on disposera d'un

décodeur d'instructions à m bits :

exponentiel contrôlé où

une persistance suffisante de l'allumage de la flèche de sortie causé par l'entrée sous contrôle rouge, d'un certain binaire à m bits assure l'exécution de l'instruction qu'il code.

Sous contrôle rouge, un décodeur d'instructions dont l'entrée globale est branchée sur un bus, assure l'exécution des tâches codées par les mots successifs contenus dans le bus, pour autant que chacun d'eux y persiste assez longtemps.

Sur un bus à m bits ainsi équipé d'un décodeur d'instructions de sortie il s'indique de brancher les sorties d'une suite de 2^n mémoires à m bits dûment numérotées par les naturels binaires à n bits, toute prête à accueillir tout programme de 2^n instructions écrit dans le code supposé adopté une fois pour toutes.

Pour déverser dans le bus des mots de code du programme, on disposera d'un décodeur d'adresses ou décodeur d'instructions où chacune d'elles commande d'allumer le contrôle LIRE de la mémoire qui porte le même numéro qu'elle.

Les deux décodeurs supposés sous contrôles rouges, la frappe de tout mot binaire à n bits à l'entrée du décodeur d'adresses assure l'exécution de l'instruction qu'il numérote.

Le système s'automatise

allegro ma non troppo

en installant à l'entrée du décodeur d'adresses
un compteur binaire à n bits suffisamment lent
dûment mis à zéro sous STOP rouge.

Passe STOP de rouge à bleu, et tourne le programme choisi !